

PUBLICATION NUMBER : 2000174087
PUBLICATION DATE : 23-06-00

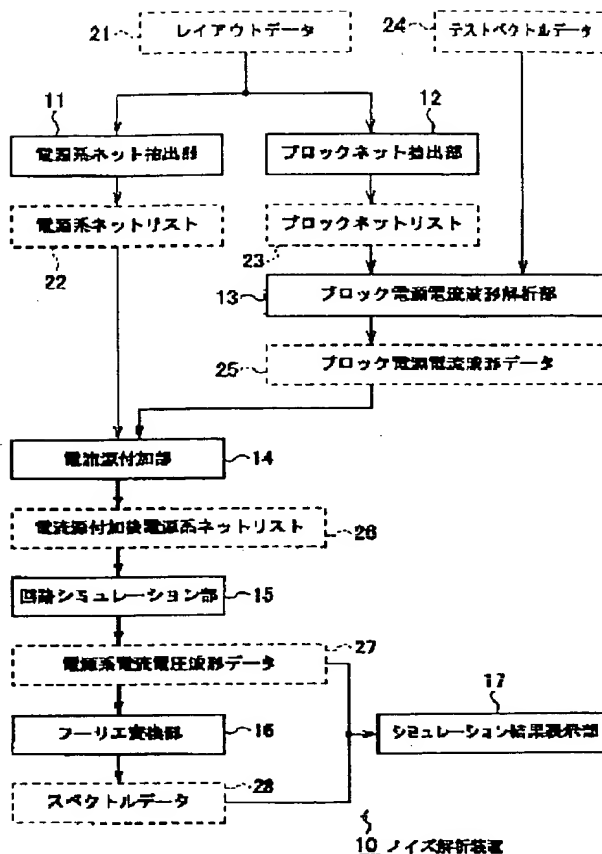
APPLICATION DATE : 04-12-98
APPLICATION NUMBER : 10345926

APPLICANT : TOSHIBA CORP;

INVENTOR : HAYASHI SACHIO;

INT.CL. : H01L 21/66 G06F 17/50 // G01R 29/08

TITLE : SEMICONDUCTOR DEVICE AND
NOISE ANALYSIS DEVICE THEREOF



ABSTRACT : PROBLEM TO BE SOLVED: To efficiently provide measures against noise being generated mainly in a power supply system in such semiconductor device as an integrated circuit.

SOLUTION: A power supply net list 22 is extracted from a layout data 21 in a power supply system net list extraction means 11, and a block power supply current waveform data 25 that is the power supply current waveform of each block is obtained by a block power supply current waveform analysis part 13. In a current source addition part 14, a block power supply current waveform data 25 is added to the power supply system net list 22, and a power supply system net list 26 is generated after the current source is added. In a circuit simulation part 15, a current source is added and then circuit simulation is made to the power supply system net list 26, a power supply system current voltage waveform data 27 is subjected to Fourier transform by a Fourier transform part 16 to obtain spectrum data 28, and the result is displayed at a simulation result display part 17.

COPYRIGHT: (C)2000,JPO

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-174087

(P2000-174087A)

(43) 公開日 平成12年6月23日 (2000.6.23)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 21/66		H 0 1 L 21/66	Z 4 M 1 0 6
G 0 6 F 17/50		C 0 1 R 29/08	Z 5 B 0 4 6
// G 0 1 R 29/08		C 0 6 F 15/60	6 6 6 V 9 A 0 0 1

審査請求 未請求 請求項の数24 O L (全 17 頁)

(21) 出願番号 特願平10-345926

(22) 出願日 平成10年12月4日 (1998.12.4)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 林 左千夫

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(74) 代理人 100083806

弁理士 三好 秀和 (外7名)

Fターム(参考) 4M106 AA02 AB12 AB20 BA14 CA70

5B046 AA08 BA04 JA01 JA04 JA05

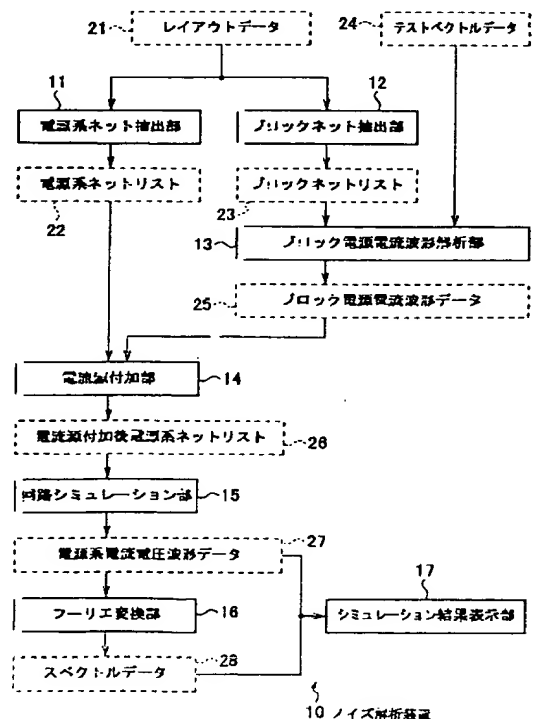
9A001 GC03 HZ32 KK37 LL08

(54) 【発明の名称】 半導体装置のノイズ解析装置及び半導体装置

(57) 【要約】

【課題】 集積回路などの半導体装置において、おもに電源系に発生するノイズ対策を効率良く行うことができるようにする。

【解決手段】 電源系ネットリスト抽出手段11においてレイアウトデータ21から電源系ネットリスト22を抽出し、ブロック電源電流波形解析部13において各ブロックの電源電流波形であるブロック電源電流波形データ25を求める。電流源付加部14において電源系ネットリスト22にブロック電源電流波形データ25を付加し、電流源付加後電源系ネットリスト26を生成する。回路シミュレーション部15において電流源付加後電源系ネットリスト26に対して回路シミュレーションを行い、フーリエ変換部16において電源系電流電圧波形データ27をフーリエ変換してスペクトルデータ28を求め、この結果をシミュレーション結果表示部17で表示する。



【特許請求の範囲】

【請求項1】 解析対象となる半導体装置の電源系ネットリストを抽出する電源系ネットリスト抽出手段と、前記半導体装置中の各ブロックの電源電流波形を算出するブロック電源電流波形解析手段と、前記電源系ネットリストに前記算出した各ブロックの電源電流波形をもつ電流源を付加して電流源付加後電源系ネットリストを生成する電流源付加手段と、前記電流源付加後電源系ネットリストに対して回路シミュレーションを実行し、電源系の電流電圧波形データを出力する回路シミュレーション手段と、前記回路シミュレーションの結果を表示する表示手段とを備えることを特徴とする半導体装置のノイズ解析装置。

【請求項2】 前記回路シミュレーションにより得られた電源系の電流電圧波形データをフーリエ変換してスペクトルデータを算出するフーリエ変換手段を備え、前記表示手段は、前記回路シミュレーションの結果と前記フーリエ変換の結果を表示することを特徴とする請求項1記載の半導体装置のノイズ解析装置。

【請求項3】 ブロック指定情報にしたがって指定されたブロックに対応する電流源が単独で存在する場合の電源系の電流電圧波形データを合成する電源系電流電圧波形データ合成手段と、

合成された電源系の電流電圧波形データに対してフーリエ変換を実行するフーリエ変換手段を設けたことを特徴とする請求項1に記載の半導体装置のノイズ解析装置。

【請求項4】 前記電流源付加手段は、一つの電流源についてのみ電流波形が与えられる複数の区間からなる電流波形をもつ電流源を各ブロックの電流源として付加することを特徴とする請求項3に記載の半導体装置のノイズ解析装置。

【請求項5】 回路素子値変更情報に従って、電流源を付加した電源系ネットリスト中の回路素子の素子値を変更する回路素子変更手段を備えることを特徴とする請求項1乃至2に記載の半導体装置のノイズ解析装置。

【請求項6】 前記ブロックは、レイアウトデータを所定の大きさの格子で区切ることにより定義されたものであることを特徴とする請求項1乃至5記載の半導体装置のノイズ解析装置。

【請求項7】 前記ブロック電源電流波形解析手段は、ブロックに対して論理シミュレーションを実行する論理シミュレーション手段と、この論理シミュレーションの結果とセルの電源電流波形とを合成する電源電流波形合成手段とから構成されることを特徴とする請求項1乃至5記載の半導体装置のノイズ解析装置。

【請求項8】 前記表示手段は、指定された周波数におけるスペクトル強度の大小関係を、色彩、模様もしくはこれらの結合により区別してレイアウトデータ上に表示することを特徴とする請求項1乃至5記載の半導体装置

のノイズ解析装置。

【請求項9】 前記表示手段は、指定された時刻における電流の方向を矢印で、電流の大きさを矢印の色、長さもしくは太さにより区別してレイアウトデータ上に表示することを特徴とする請求項1乃至5記載の半導体装置のノイズ解析装置。

【請求項10】 前記表示手段は、レイアウトデータ上の指定された位置における電流波形データ及び電流スペクトルデータを表示することを特徴とする請求項2乃至5記載の半導体装置のノイズ解析装置。

【請求項11】 前記表示手段は、並行する配線に電流が同じ向きに流れている部分を含む領域を他の領域と区別して表示することを特徴とする請求項1乃至5記載の半導体装置のノイズ解析装置。

【請求項12】 前記表示手段は、電流がループ状に流れている部分の面積とループ部分を流れる電流の積が指定した値よりも大きい部分を含む領域を他の領域と区別して表示することを特徴とする請求項1乃至5記載の半導体装置のノイズ解析装置。

【請求項13】 内部回路が並列共振回路として等価的に置き換え可能な半導体装置において、

前記内部回路の電気的特性が可変となるように構成された電気的特性可変手段と、

外部から入力された設定値に従って前記電気的特性可変手段を制御して前記内部回路の電気的特性を変化させる制御手段とを備えたことを特徴とする半導体装置。

【請求項14】 前記電気的特性可変手段は、容量値可変に構成されたキャパシタであることを特徴とする請求項13記載の半導体装置。

【請求項15】 前記電気的特性可変手段は、インダクタンス値可変に構成されたインダクタであることを特徴とする請求項13記載の半導体装置。

【請求項16】 前記電気的特性可変手段は、抵抗値可変に構成された抵抗であることを特徴とする請求項13記載の半導体装置。

【請求項17】 前記電気的特性可変手段は、容量値可変に構成されたキャパシタとインダクタンス値可変に構成されたインダクタであることを特徴とする請求項13記載の半導体装置。

【請求項18】 前記電気的特性可変手段は、容量値可変に構成されたキャパシタと抵抗値可変に構成された抵抗であることを特徴とする請求項13記載の半導体装置。

【請求項19】 前記電気的特性可変手段は、インダクタンス値可変に構成されたインダクタと抵抗値可変に構成された抵抗であることを特徴とする請求項13記載の半導体装置。

【請求項20】 前記電気的特性可変手段は、容量値可変に構成されたキャパシタとインダクタンス値可変に構成されたインダクタと抵抗値可変に構成された抵抗であ

ることを特徴とする請求項13記載の半導体装置。

【請求項21】 前記キャパシタは、複数のキャパシタのうちの選択されたキャパシタを導通状態とすることで容量値可変に構成されたものであることを特徴とする請求項14、17、18又は20記載の半導体装置。

【請求項22】 前記インダクタは、複数のインダクタンスのうちの選択されたインダクタンスを導通状態とすることでインダクタンス値可変に構成されたものであることを特徴とする請求項15、17、19又は20記載の半導体装置。

【請求項23】 前記抵抗は、複数の抵抗のうちの選択された抵抗を導通状態とすることで抵抗値可変に構成されたものであることを特徴とする請求項16、18、19又は20記載の半導体装置。

【請求項24】 前記内部回路で発生するノイズを検出するノイズ検出手段を備え、前記制御手段は、前記ノイズ検出手段で検出されたノイズに関する情報をもとにして、前記電気的特性可変手段を制御することを特徴とする請求項13乃至20記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、集積回路などの半導体装置のノイズ対策に関するもので、例えば電源系に発生するノイズや共振により発生するノイズを低減するための技術に関する。

【0002】

【従来の技術】近年、集積回路の高速化、高集積化に伴い、集積回路に起因するEMIノイズが大きな問題となっている。EMIノイズが発生する原因としては、集積回路内部の多数の回路素子が同時にスイッチングを行うと電源線に瞬間的に大きな電流が流れる。このように急激に変化する電流は高周波成分を多く含むため、集積回路内部の配線や集積回路につながる集積回路外部の配線をアンテナとして電磁波を放射し、これがEMIノイズとなり、他の電子機器に悪影響を与えるものと考えられている。

【0003】従来、このような集積回路に起因するEMIノイズを低減するために、電源系に容量や抵抗を付加したり、電源を複数に分離するという手法がとられている。

【0004】

【発明が解決しようとする課題】上記手法によるノイズ対策では、その効果を調べるために実際に集積回路を製造して、集積回路の端子から外に出る電流を実測してノイズレベルを評価していた。このため、ノイズを低減するためには容量や抵抗の配置、大きさなどを変えながら実測を繰り返すしかなく、時間とコストがかかる作業となっていた。

【0005】ところで、EMIノイズ対策において、設

計データから集積回路の動作に伴う電源の電流スペクトルが解析できれば、チップ製造前にノイズレベルを予測することができる。また、集積回路の端子位置での電流スペクトルだけでなく、集積回路内部の電源系の各部における電流スペクトルや電流経路を解析できれば、チップ製造前に容量や抵抗の配置や大きさなどを最適化することができる。しかし、実測で得られるのは集積回路の端子から外に出る電流の情報のみであり、集積回路内部の電流の情報を得ることはできないため、電流スペクトルや電流経路などの解析は不可能であった。

【0006】こうした集積回路の電源系の解析に関する従来技術として、例えば特開平9-55433号公報には、自動レイアウトの結果を利用して論理シミュレーションを実行することにより、回路内の電源配線、接地配線の電圧降下を自動的に求めるようにした半導体集積回路のシミュレーション装置およびシミュレーション方法が提案されている。また、特開平8-202763号公報には、半導体回路のレイアウト上の機能領域をコンパクト化コンポーネント値にコンパクト化し、このコンパクト化コンポーネント値をもとにパワーネットワークのシミュレーションを行うことにより、VLSI回路のパワーネットワークの性能の効率的な分析を行うことができるようにした超LSI回路のパワーネットワークの分析装置及び分析方法が提案されている。しかしながら、これらの技術はいずれも電源系の電圧降下やエレクトロマイグレーションを解析するものであり、電源系の電流スペクトルや電流経路を解析することはできなかった。

【0007】一方、集積回路は等価的にLC並列共振回路とみなすことができるため、この共振回路により大きなノイズを発生する場合がある。こうしたノイズを低減するには、共振をキャンセルさせたり、共振のQを下げるなどの方法が考えられる。

【0008】上記共振をキャンセルする方法として、例えば特開平10-23664号公報には、集積回路にRLCの直列共振回路を付加する方法が提案されている。しかし、この方法ではLSIに寄生するLCの容量を正確に見積もることが難しいため、付加する回路のR、L、Cの各素子値を決めるためには素子値を変えながら実測を繰り返すしかなく、作業に時間とコストがかかるという問題点があった。

【0009】また、共振のQを下げる方法としては電源抵抗を付加する方法がある。しかし、この方法では付加する抵抗が大きいと電源電圧降下を招くおそれがあるため、最適な抵抗値を決めるには抵抗値を変えながら実測を繰り返すしかなく、作業に時間とコストがかかるという問題点があった。

【0010】この発明は、半導体装置のノイズ対策を効率良く行うことができる半導体装置のノイズ集積装置及び半導体装置を提供することを目的とする。

【0011】

【課題を解決するための手段】上記課題を解決するため、請求項1の発明は、解析対象となる半導体装置の電源系ネットリストを抽出する電源系ネットリスト抽出手段と、前記半導体装置中の各ブロックの電源電流波形を算出するブロック電源電流波形解析手段と、前記電源系ネットリストに前記算出した各ブロックの電源電流波形を付加して電流源付加後電源系ネットリストを生成する電流源付加手段と、前記電流源付加後電源系ネットリストに対して回路シミュレーションを実行し、電源系の電流電圧波形データを出力する回路シミュレーション手段と、前記回路シミュレーションの結果を表示する表示手段とを備えることを特徴とする。

【0012】請求項1の発明においては、回路シミュレーションにより集積回路の動作に伴う電源系の電流電圧波形の解析が可能となるため、集積回路の製造前にノイズレベルの評価を行うことができる。また、回路シミュレーションの結果を表示手段で表示することにより、集積回路内部の電源系の電流経路を視覚的に把握することができるため、集積回路の製造前に回路に付加すべき容量や抵抗の配置や大きさなどを最適化することができる。さらに、電源系の電圧波形の解析も可能となるため、電圧降下の解析を行うこともできる。

【0013】請求項2の発明は、請求項1において、前記回路シミュレーションにより得られた電源系の電流電圧波形データをフーリエ変換してスペクトルデータを算出するフーリエ変換手段を備え、前記表示手段は、前記回路シミュレーションの結果と前記フーリエ変換の結果を表示することを特徴とする。

【0014】請求項3の発明は、請求項1において、ブロック指定情報にしたがって指定されたブロックに対応する電流源が単独で存在する場合の電源系の電流電圧波形データを合成する電源系電流電圧波形データ合成手段と、合成された電源系の電流電圧波形データに対してフーリエ変換を実行するフーリエ変換手段を設けたことを特徴とする。

【0015】請求項4の発明は、請求項3において、前記電流源付加手段は、一つの電流源についてのみ電流波形が与えられる複数の区間からなる電流波形をもつ電流源を各ブロックの電流源として付加することを特徴とする。

【0016】請求項5の発明は、請求項1乃至2において、回路素子値変更情報に従って、電流源を付加した電源系ネットリスト中の回路素子の素子値を変更する回路素子変更手段を備えることを特徴とする。

【0017】請求項6の発明は、請求項1乃至5において、前記ブロックは、レイアウトデータを所定の大きさの格子で区切ることにより定義されたものであることを特徴とする。

【0018】請求項7の発明は、請求項1乃至5において、前記ブロック電源電流波形解析手段は、ブロックに

対して論理シミュレーションを実行する論理シミュレーション手段と、この論理シミュレーションの結果とセルの電源電流波形とを合成する電源電流波形合成手段とから構成されることを特徴とする。

【0019】請求項8の発明は、請求項2乃至5において、前記表示手段は、指定された周波数におけるスペクトル強度の大小関係を、色彩、模様もしくはこれらの結合により区別してレイアウトデータ上に表示することを特徴とする。

【0020】請求項9の発明は、請求項1乃至5において、前記表示手段は、指定された時刻における電流の方向を矢印で、電流の大きさを矢印の色、長さもしくは太さにより区別してレイアウトデータ上に表示することを特徴とする。

【0021】請求項10の発明は、請求項2乃至5において、前記表示手段は、レイアウトデータ上の指定された位置における電流波形データ及び電流スペクトルデータを表示することを特徴とする。

【0022】請求項11の発明は、請求項1乃至5において、前記表示手段は、並行する配線に電流が同じ向きに流れている部分を含む領域を他の領域と区別して表示することを特徴とする。

【0023】請求項12の発明は、請求項1乃至5において、前記表示手段は、電流がループ状に流れている部分の面積とループ部分を流れる電流の積が指定した値よりも大きい部分を含む領域を他の領域と区別して表示することを特徴とする。

【0024】また、上記課題を解決するため、請求項13の発明は、内部回路が並列共振回路として等価的に置き換え可能な半導体装置において、前記内部回路の電気的特性が可変となるように構成された電気的特性可変手段と、外部から入力された設定値に従って前記電気的特性可変手段を制御して前記内部回路の電気的特性を変化させる制御手段とを備えたことを特徴とする。

【0025】請求項13の発明においては、電気的特性可変手段を制御することにより、集積回路における電気的特性を変化させることができるので、集積回路の製造前に最もノイズの少ない素子値を決定することができる。また、製造後においても個々の回路におけるノイズ低減のための調整を行うことができる。

【0026】請求項14の発明は、請求項13において、前記電気的特性可変手段は、容量値可変に構成されたキャパシタであることを特徴とする。

【0027】請求項15の発明は、請求項13において、前記電気的特性可変手段は、インダクタンス値可変に構成されたインダクタであることを特徴とする。

【0028】請求項16の発明は、請求項13において、前記電気的特性可変手段は、抵抗値可変に構成された抵抗であることを特徴とする。

【0029】請求項17の発明は、請求項13におい

て、前記電気的特性可変手段は、容量値可変に構成されたキャパシタとインダクタンス値可変に構成されたインダクタであることを特徴とする。

【0030】請求項18の発明は、請求項13において、前記電気的特性可変手段は、容量値可変に構成されたキャパシタと抵抗値可変に構成された抵抗であることを特徴とする。

【0031】請求項19の発明は、請求項13において、前記電気的特性可変手段は、インダクタンス値可変に構成されたインダクタと抵抗値可変に構成された抵抗であることを特徴とする。

【0032】請求項20の発明は、請求項13において、前記電気的特性可変手段は、容量値可変に構成されたキャパシタとインダクタンス値可変に構成されたインダクタと抵抗値可変に構成された抵抗であることを特徴とする。

【0033】請求項21の発明は、請求項14、17、18又は20において、前記キャパシタは、複数のキャパシタのうちの選択されたキャパシタを導通状態とすることで容量値可変に構成されたものであることを特徴とする。

【0034】請求項22の発明は、請求項15、17、19又は20において、前記インダクタは、複数のインダクタンスのうちの選択されたインダクタンスを導通状態とすることでインダクタンス値可変に構成されたものであることを特徴とする。

【0035】請求項23の発明は、請求項16、18、19又は20において、前記抵抗は、複数の抵抗のうちの選択された抵抗を導通状態とすることで抵抗値可変に構成されたものであることを特徴とする。

【0036】請求項24の発明は、請求項13乃至20において、前記内部回路で発生するノイズを検出するノイズ検出手段を備え、前記制御手段は、前記ノイズ検出手段で検出されたノイズに関する情報をもとにして、前記電気的特性可変手段を制御することを特徴とする。

【0037】

【発明の実施の形態】以下、この発明に係わる半導体装置のノイズ解析装置及び半導体装置を、集積回路のノイズ解析装置及び集積回路に適用した実施形態について説明する。

【0038】まず、集積回路のノイズ解析装置の実施形態について説明する。

【0039】〔実施形態1〕実施形態1に係わる集積回路のノイズ解析装置10の機能的な構成を図1に、レイアウトデータ21から電源系ネットリスト26を作成するまでの過程を図2にそれぞれ示す。

【0040】電源系ネット抽出部11は、解析対象となる集積回路のレイアウトデータ21から電源系ネットリスト22を抽出する。電源系ネットリスト22とは、LSIの電源端子からLSI内部の各ブロックに電源を供

給するための電源配線、接地配線からなる電源系統の回路記述である。この電源系ネットリスト22には、電源配線、接地配線に寄生的に存在する抵抗素子、容量素子、インダクタンス素子のほか、ノイズ削減のために意図的に付加した抵抗素子、容量素子、インダクタンス素子などが含まれる。また、必要に応じて図3に示すようにパッケージやプリント基板の等価回路A、Bを付加してもよい。

【0041】なお、抽出した電源系ネットリスト22中の各素子や各ノードに関して、レイアウトデータ21上での位置情報を図示しないデータ保持部に保持しておく。この位置情報は、後にシミュレーション結果をレイアウトデータ21上に表示する際に用いる。

【0042】ブロックネット抽出部12は、レイアウトデータ21からブロックネットリスト23を抽出する。ブロックネットリスト23とは、LSI内部のブロック部分の回路記述のことである。設計の過程で既にブロックネットのデータが存在する場合は、この処理は省略することができる。また、ASICのようにはっきりとしたブロックが存在しない場合は、図4に示すようにチップ全体を適当な大きさの格子で区切ることによりブロックを定義してもよい。これによれば、ASICのようにブロックが存在しない集積回路についてもノイズ解析が可能となる。

【0043】ブロック電源電流波形解析部13は、ブロックネットリスト23とテストベクトルデータ24から電源電流波形としてのブロック電源電流波形データ25を求める。ブロック電源電流波形データ25とは、ブロックの回路動作に伴ってブロック部分において消費される電源電流の波形データである。またテストベクトルデータ24とは、ブロックの回路動作をシミュレーションするために与えられる入力信号データである。

【0044】ブロック電源電流波形解析部13の実現手段としては、例えば電源電流波形の解析が可能なスイッチングシミュレータを用いる方法などがある。また、SPICE (Simulation Program with Integrated Circuit Emphasis) のような回路シミュレータを用いることもできるが、処理時間、使用メモリ量などの点で処理可能なブロックサイズが限られてくる。さらに、スイッチングシミュレータは回路シミュレータに比べると精度は落ちるが、通常のEWSで数十万トランジスタ程度のブロックまで処理が可能である。

【0045】一方、ASICの場合には、ブロック電源電流波形解析部13を図5に示すように構成することもできる。

【0046】図5の動作について説明すると、まずASICで使用されている各セルについて電源電流波形を解析して、その波形データを電源電流波形ライブラリ1301として保持しておく。次に、ブロックネットリスト23とテストベクトルデータ24を用いて、論理シミュ

レーション部1302で論理シミュレーションを実行する。この論理シミュレーションの結果からセルのスイッチング時刻がわかる。次に、セルのスイッチングが発生する各時刻において、電源電流波形ライブラリ1301中のセルの電源電流波形と前記論理シミュレーションの結果とを電源電流波形合成部1303によって足し合わせていくことで、ブロック電源電流波形データ25を得ることができる。これによれば、ブロックの電源電流波形を迅速に求めることができる。

【0047】電流源付加部14は、電源系ネットリスト22のブロック部分に、対応する電流源を付加して電流源付加後電源系ネットリスト26を生成する。電流源の電流波形としては、ブロック電源電流波形解析部13で求めたブロック電源電流波形データを与える。

【0048】回路シミュレーション部15は、電流源付加後電源系ネットリスト26に対して回路シミュレーションを行う。回路シミュレーションにより得られた各素子の電流波形データ、各ノードの電圧波形データは電源系電流電圧波形データ27として保存しておく。ただし、素子数、ノード数が多い場合は、レイアウトデータ21上の代表点に対応する素子やノードに対してのみデータを保存するようにしてもよい。電源系電流電圧波形データ27には電流波形データ、電圧波形データがあり、それぞれ電流データ、電圧データを得ることができる。回路シミュレーション部15の実現手段としては、SPICEのような回路シミュレータなどが挙げられる。

【0049】フーリエ変換部16は、回路シミュレーション部15により得られた電源系電流電圧波形データ27をフーリエ変換してスペクトルデータ28を求める。電源系電流電圧波形データ27に含まれる電流波形データと、それをフーリエ変換して得られた電流スペクトルデータの例を図6に示す。図6(a)は電流波形データを、同図(b)はフーリエ変換により得られた電流スペクトルデータをそれぞれ示している。ただし、図6(a)において縦軸は電流、横軸は時間を表している。また図6(b)において、縦軸は電流のスペクトル(単位はデシベル)、横軸は周波数を表している。なお、図示していないが、電源系電流電圧波形データ27に含まれる電圧波形データをフーリエ変換することにより電圧スペクトルデータを得ることもできる。

【0050】シミュレーション結果表示部17は、電源系電流電圧波形データ27及びスペクトルデータ28をCRTなどの表示画面上に表示する。

【0051】次に、上記のように構成されたノイズ解析装置によりノイズ解析を行う場合の処理手順を図7のフローチャートに従って説明する。

【0052】まず、電源系ネット抽出部11により解析対象となる集積回路のレイアウトデータ21から電源系ネットリスト22を抽出する(ステップ101)。次

に、ブロックネット抽出部12によりレイアウトデータ21からブロックネットリスト23を抽出する(ステップ102)。続いて、ブロック電源電流波形解析部13によりブロックネットリスト23とテストベクトルデータ24からブロック電源電流波形データ25を求める(ステップ103)。次に、電流源付加部14により電源系ネットリスト22のブロック部分に、対応する電流源を付加して電流源付加後電源系ネットリスト26を生成し(ステップ104)、さらに回路シミュレーション部15により電流源付加後電源系ネットリスト26に対して回路シミュレーションを実行し、電源系電流電圧波形データ27を求める(ステップ105)。次に、フーリエ変換部16により回路シミュレーション部15により得られた電源系電流電圧波形データ27をフーリエ変換してスペクトルデータ28を求め(ステップ106)、シミュレーション結果表示部17により電源系電流電圧波形データ27及びスペクトルデータ28を表示画面上に表示する(ステップ107)。

【0053】次に、シミュレーション結果表示部17において、電源系電流電圧波形データ27やスペクトルデータ28、あるいはこれらのデータを用いて解析を行った結果を表示する場合の表示例について説明する。

【0054】図8は、電流スペクトルデータの表示例を示す説明図である。ユーザから所定の周波数が指定されたときに、その周波数におけるスペクトル強度とレイアウトデータ21とを重ね合わせて表示するようにした例である。スペクトル強度は色や模様で区別して表示する。図8では、色が濃くなるにしたがってスペクトル強度が大きくなるように表示されている。このような表示にすることにより、電流の高周波成分のLSI内部における分布を視覚的に把握することができる。

【0055】具体的には次のようなことを把握することができる。図8のBlock2、Block3、Block6からは、周波数100MHzにおいて大きなノイズ電流成分が出ている。各ブロックにはそれぞれ近傍に容量が付加してあるが、Block2、Block3から発生するノイズ電流成分はこの容量で吸収されて、そこから外にあまり漏れ出していない。しかし、Block6から発生するノイズ電流成分はこの容量では吸収しきれず、そこから漏れ出したノイズは端子付近にまで達している。このようなことから、Block6の近傍に配置してある容量をもっと大きくするか、あるいはノイズの漏れ出している経路に別の容量を付加する必要がある、というような検討が可能となる。

【0056】図9は、電流波形データから得た電流データの表示例を示す説明図である。ユーザからシミュレーション開始からの所定の時刻が指定されたときに、その時刻(この例では $t=10\text{ns}$)における電流の方向、電流の大きさをレイアウトデータ21と重ね合わせて表示するようにした例である。電流の方向は矢印の向きで、電流の大きさは矢印の太さ、長さ、色などを変えることで

大小関係を表示することができる。この例では、矢印の太さで電流の大きさを表している。このような表示をすることにより、LSI内部の電流経路を把握することができる。

【0057】この図9の例のように、フーリエ変換を行う前の電源系電流電圧波形データ27から電流経路を明らかにするだけでも、ノイズの発生原因についてのおおよその傾向を把握することができる。この場合でも、従来のようにノイズ対策の効果を調べるために集積回路の容量や抵抗の配置、大きさなどを変えながら実測を繰り返す手法に比べて、EMIノイズの対策を効率良く行うことができる。

【0058】なお、図8は所定の周波数におけるデータのみを示し、また図9は所定の時刻におけるデータのみを示しているが、図10(a)、(b)に示すように、レイアウトデータ上の所定位置が例えばカーソルで指定されたときに、その位置における電流波形データと電流スペクトルデータを並べて表示するようにしてもよい。図10(a)は周波数100MHzにおいて、指定された位置における電流波形データと電流スペクトルデータを並べて表示したものであり、図10(b)は時刻 $t=10\text{ns}$ において、電源ライン上の指定された位置における電流波形データと電流スペクトルデータを並べて表示したものである。

【0059】図11、図12は、電流波形データをもとに、さらに別の解析を行った結果の表示例を示したものである。

【0060】回路内で並行する配線に電流が同じ方向に流れるとインダクタンスの影響が大きくなり共振などの問題を引き起こすおそれがある。図11は、並行する配線に電流が同じ向きに流れている部分を検出して、その部分を含む領域を他の領域と異なる色彩又は模様で表示するようにしたものである。また、電流がループ状に流れると、その部分がループアンテナとして機能し、電磁波を放射する可能性がある。このとき放射される電磁波の強度は、ループ部分の面積とループ部分を流れる電流の積に比例する。図12は、電流がループ状に流れている部分の面積とループ部分を流れる電流の積が指定した値よりも大きい部分を検出して、その部分を含む領域を他の領域と異なる色彩又は模様で表示するようにしたものである。

【0061】以上のように、実施形態1のノイズ解析装置においては、集積回路の動作に伴う電源系の電流波形の解析が可能となるので、集積回路の製造前にノイズレベルの評価を行うことができる。また、集積回路内部の電源系の各部における電流スペクトルや電流経路を視覚的に把握することができるので、従来のようにノイズ対策の効果を調べるために集積回路の容量や抵抗の配置、大きさなどを変えながら実測を繰り返す手法に比べて、時間とコストを大幅に短縮することができる。したがっ

て、EMIノイズの対策を効率良く行うことが可能となる。

【0062】なお、上記実施形態では、おもにEMIノイズの解析という観点から、電流に関連したデータの表示例について説明したが、この実施形態1のノイズ解析装置で保持している電源系電流電圧波形データ27からは電流データだけでなく電圧データも得ることができるため、例えば図13に示すように、電圧データをレイアウトデータに重ねて表示することにより電源電圧降下の解析も可能となる。図13は時刻 $t=10\text{ns}$ における電源配線の電圧を示しており、色が濃くなるほど電圧が低い、すなわち電圧降下が大きいことを示している。

【0063】〔実施形態2〕一般に、RLCのみからなる線形回路において、複数の電源が存在する場合、回路中の任意の素子の電流、電圧は、それぞれの電源が単独に存在する場合におけるその素子の電流、電圧を加えたものになるという、いわゆる重ね合わせの理が成立する。電源系ネットリストはRLCのみの線形回路であるので、各ブロックに対応する電流源が単独に存在する場合の電流電圧データを求めておけば、任意の数の電流源が存在する場合の電流電圧データは、それらを加え合わせることによって求めることができる。この実施形態2は、実施形態1の応用例として、指定したブロックに対応する電流源のみが存在する場合の電流電圧データや、そのスペクトルデータを得られるようにしたものである。

【0064】実施形態2に係わるノイズ解析装置20の構成を図14に示す。この実施形態2は、実施形態1の構成に電源系電流電圧波形データ合成部18を加えた構成となっている。その他の構成は図1と同じであり、図1と同等部分を同一符号で示している。以下、実施形態1との相違点について説明する。

【0065】電流源付加部14及び回路シミュレーション部15は、電流源が単独に存在する場合の電源系電流電圧波形データ27を、各電流源について求める。そのためには、電流源付加部14において電流源を一つだけ付加し、生成された電流源付加後、電源系ネットリスト22に対して回路シミュレーションを実行する処理を各電流源について実行すればよい。

【0066】あるいは、電源源付加部14において、図15に示すような電流波形を各電流源に与えるようにしてもよい。この電流波形は、T1からT6の各区間では一つの電流源についてのみ電流波形を与え、その他の電流源には電流波形を与えないようになっている。回路シミュレーション部15では、各区間のシミュレーション結果を分けて保存する。このようにすることで、1度の回路シミュレーションで各電流源が単独に存在する場合のデータを得ることができる。

【0067】電源系電流電圧波形データ合成部18は、ブロック指定情報29と、指定されたブロックに対応す

る電流源が単独に存在する場合の電源系電流電圧波形データ27とを加え合わせて、合成後電源系電流電圧波形データ31を生成する。

【0068】フーリエ変換部16では、このデータに対してフーリエ変換を実行してスペクトルデータ28を得る。

【0069】シミュレーション結果表示部17では、これらの合成後電源系電流電圧波形データ31やスペクトルデータ28を表示する。このようにすることで、指定したブロックのみが存在する場合の電流経路や電流スペクトルを視覚的に把握することができるので、より詳細なノイズ対策を行うことができる。

【0070】〔実施形態3〕実施形態3に係わるノイズ解析装置30の構成を図16に示す。この実施形態3は、実施形態1の構成に回路素子値変更部19を付加した構成となっている。その他の構成は実施形態1と同じであり、図1と同等部分を同一符号で示している。以下、実施形態1との相違点について説明する。

【0071】回路素子値変更部19は、回路素子値変更情報32をもとに電流源付加後電源系ネットリスト22中の回路素子の素子値を変更して、回路素子値変更後電源系ネットリスト33を生成する。回路素子値変更情報32とは、回路を構成する素子の抵抗値や容量などを変更する際に指定される情報であり、素子値を変更する回路素子の素子名と変更後の素子値からなる。回路素子の指定方法としては、直接回路素子名を指定するほかに、レイアウトデータ上の位置を指定すると、その位置に対応する回路素子の素子名が指定されるようにすることも可能である。

【0072】次に、上記のように構成されたノイズ解析装置30によりノイズ解析を行う場合の処理手順を図17のフローチャートに従って説明する。

【0073】電源系ネットリストの抽出（ステップ201）からシミュレーション結果の表示（ステップ207）までの処理手順は、図7のステップ101～107と同じである。この実施形態3では、ステップ207に続いて、回路素子値変更部19により、電流付加後電源系ネット110中の回路素子の素子値を指定された値に変更する（ステップ208）。その後、再びステップ205に戻って回路シミュレーションを実行し、その結果をシミュレーション結果表示部17に表示する。ユーザは素子値を変更した場合のシミュレーション結果を参照し、必要があればさらに素子値を変更してシミュレーションを繰り返し実行する。

【0074】これによると、回路素子値を変更した場合の解析を容易に行うことができようになり、ノイズ対策の効果の検証をさらに効率良く行うことができる。

【0075】〔実施形態4〕次に、ノイズ低減機構を備えた集積回路の実施形態について説明する。

【0076】図18は、一般的な集積回路の等価回路を

示す回路図である。図18に示すように、一般的な集積回路はインダクタ41、キャパシタ43、抵抗45、電流源47、電圧源49で構成される等価回路40に置き換えることができる。このような等価回路40はLC並列共振回路とみなすことができるため、先に述べたように共振により大きなノイズを発生することがある。

【0077】図19は、ノイズ低減機構を備えた実施形態4に係わる集積回路の等価回路を示す回路図であり、図18と同等部分を同一符号で示している。図19に示す等価回路50では、電気的特性可変手段として、キャパシタ43と並列に容量値可変のキャパシタ143が、またインダクタ41と直列にインダクタンス値可変のインダクタ141が、さらに抵抗45と直列に抵抗値可変の抵抗145がそれぞれ接続されている。

【0078】図20は、容量値可変のキャパシタ143とその制御回路の具体的な回路構成図である。図20において、インバータ回路1431、1432、1433の出力側には、それぞれキャパシタ1434、1435、1436が接続され、VDDとVSSの間に複数のキャパシタ成分が並列に配置された構成となっている。また、インバータ回路1431、1432、1433の入力側は制御回路1430に接続され、制御回路1430から与えられる入力値によりインバータ回路1431～1433の動作が制御されるように構成されている。

【0079】上記構成において、外部から制御回路1430に所定の素子値が指示されると、制御回路1430は指示された素子値に応じたキャパシタ1434～1436を選択し、選択したキャパシタにつながるインバータ回路には0を、それ以外のインバータ回路には1を出力する。すると、0が与えられたインバータでは、VDD-VSS間のキャパシタが形成される。また1が与えられたインバータではVSS-VSS間のキャパシタとなり、このキャパシタは無効となる。したがって、設定したい素子値に応じてインバータへの出力値を選択することにより、集積回路内での容量値を適宜に変更することができる。なお、図20において、キャパシタ1434、1435、1436の各容量値は同一でもよいし、またそれぞれ異なる値であってもよい。

【0080】図21は、インダクタンス値可変のインダクタ141とその制御回路の具体的な回路構成図である。図21において、制御回路1410からの制御信号及びその制御信号をインバータ回路1411、1412、1413、1414で反転した信号が伝送ゲート1415、1416、1417、1418のp、n端子に供給され、制御回路1410からの制御信号により、伝送ゲート1415～1418の開閉動作が制御されるように構成されている。この伝送ゲート1415～1418は、インダクタ1419、1420、1421が直列に接続された電源ライン部分とインダクタのない電源ライン部分の間を接続する構成となっている。

【0081】上記構成において、外部から制御回路1410に所定の素子値が指示されると、制御回路1410は指示された素子値に応じて、伝送ゲート1415～1418の開閉を制御する。伝送ゲートの開閉の制御は、ある伝送ゲートのみ閉状態にし、その他の伝送ゲートは開状態になるように行う。このようにすることで、閉状態にした伝送ゲートの右側にあるインダクタが電源ラインにおいて有効になる。例えば、伝送ゲート1417を閉状態にし、その他の伝送ゲートを開状態にすれば、インダクタ1421が有効になる。また、伝送ゲート1416を閉状態にし、その他の伝送ゲートを開状態にすれば、インダクタ1420及び1421が有効になる。したがって、設定したい素子値に応じて伝送ゲートの開閉状態を制御することにより、集積回路内でのインダクタンス値を適宜に変更することができる。なお、図21において、インダクタ1419、1420、1421の各インダクタンス値は同一でもよいし、またそれぞれ異なる値であってもよい。

【0082】上記のように構成された等価回路50においては、容量値可変のキャパシタ143及びインダクタンス値可変のインダクタ141について、それぞれ容量値やインダクタンス値を制御することにより、共振周波数を変化させることができるので、等価回路50内で生じる共振が最も小さくなるようにキャパシタ143及びインダクタ141を制御することで、ノイズの原因となる共振を最小限に抑えることができる。したがって、集積回路にRLCの直列共振回路を付加する従来例のように、R、L、Cの各素子値を決めるために素子値を変えながら実測を繰り返す手法に比べて、作業に要する時間とコストを大幅に短縮することができるようになり、共振回路により生じるノイズの低減を効率良く行うことが可能となる。

【0083】図22は、抵抗値可変の抵抗141とその制御回路の具体的な回路構成図である。図21において、制御回路1450からの制御信号及びその制御信号をインバータ回路1451、1452、1453、1454で反転した信号が伝送ゲート1455、1456、1457、1458のp、n端子に供給され、制御回路1450からの制御信号により、伝送ゲート1455～1458の開閉動作が制御されるように構成されている。この伝送ゲート1455～1458は、抵抗1459、1460、1461が直列に接続された電源ライン部分と抵抗のない電源ライン部分の間を接続する構成となっている。

【0084】上記構成において、外部から制御回路1450に所定の素子値が指示されると、制御回路1450は指示された素子値に応じて、伝送ゲート1455～1458の開閉を制御する。伝送ゲートの開閉の制御は、ある伝送ゲートのみ閉状態にし、その他の伝送ゲートは開状態になるように行う。このようにすることで、閉状

態にした伝送ゲートの右側にある抵抗が電源ラインにおいて有効になる。例えば、伝送ゲート1457を閉状態にし、その他の伝送ゲートを開状態にすれば、抵抗1461が有効になる。また、伝送ゲート1456を閉状態にし、その他の伝送ゲートを開状態にすれば、抵抗1460及び1461が有効になる。したがって、設定したい素子値に応じて伝送ゲートの開閉状態を制御することにより、集積回路内での抵抗値を適宜に変更することができる。なお、図22において、抵抗1459、1460、1461の各抵抗値は同一でもよいし、またそれぞれ異なる値であってもよい。

【0085】上記のように構成された等価回路50においては、抵抗値可変の抵抗44の抵抗値を制御することにより、共振のQを変化させることができるので、等価回路50内で生じる電源電圧降下が問題とされない範囲で共振のQを下げるることができる。したがって、従来例のように最適な抵抗値を決めるために抵抗値を変えながら実測を繰り返す手法に比べて、作業に要する時間とコストを大幅に短縮することができるようになり、共振回路により生じるノイズの低減を効率良く行うことが可能となる。

【0086】図19に示す等価回路50によれば、容量値可変のキャパシタ143の容量値及びインダクタンス値可変のインダクタ141のインダクタンス値を制御することにより、共振周波数を変化させることができ、また抵抗値可変の抵抗145を抵抗値を制御することにより、共振のQを変化させることができるので、これら容量値、インダクタンス値及び抵抗値の制御を組み合わせることで、共振回路により生じるノイズの低減をより効率良く行うことが可能となる。とくに図19に示す等価回路50では、集積回路の量産前に最もノイズの少ない素子値を決定することができるとともに、また量産後においても個々の集積回路においてノイズ低減のための調整を行うことが可能となる。

【0087】なお、図19では、電気的特性可変手段として、容量値可変のキャパシタ143、インダクタンス値可変のインダクタ141及び抵抗値可変の抵抗145の3つを接続した例について説明したが、これらのうちの少なくとも1つを用いるだけでも、従来手法に比べてノイズの低減を効率良く行うことが可能となる。

【0088】図23は、図19に示す等価回路50にさらにノイズ検出機構を加えた等価回路を示す回路図であり、図19と同等部分を同一符号で示している。図23に示す等価回路60では、電源ラインであるVDDとVSSからの信号を検出し、この検出した信号に含まれるノイズレベルをもとにして、図20～図22に示した制御回路1430、1410及び1450を制御するノイズ検出部1461が接続されている。また、制御回路1460は、容量値可変のキャパシタ143、インダクタンス値可変のインダクタ141及び抵抗値可変の抵抗1

45をそれぞれ制御する機能を備えている。

【0089】上記構成において、集積回路を動作させると、ノイズ検出部61では、VDDとVSSから検出した信号に含まれるノイズレベルをもとにして、ノイズ低減に適した容量値、インダクタンス値及び抵抗値をそれぞれ算出し、制御回路1460に出力する。制御回路1460では、ノイズ検出部1461から与えられた素子値に応じてキャパシタ、インダクタ及び抵抗を選択し、所定の信号値を出力する。これによれば、ノイズ低減のために各素子値を決定し、これを制御回路1460に入力する一連の作業を自動的に行うことが可能となるため、作業に要する時間とコストをさらに短縮することができる。

【0090】なお、図23の実施形態においても、電気的特性可変手段として、容量値可変のキャパシタ143、インダクタンス値可変のインダクタ141及び抵抗値可変の抵抗145の3つを接続した例について説明したが、これらのうちの少なくとも1つを用いるだけでも、従来手法に比べてノイズの低減を効率良く行うことが可能となる。

【0091】

【発明の効果】請求項1の発明においては、集積回路の動作に伴う電源系の電流波形の解析が可能となるため、集積回路の製造前にノイズレベルの評価を行うことができる。また、集積回路内部の電源系の電流経路を視覚的に把握することができるため、集積回路の製造前に回路に付加すべき容量や抵抗の配置や大きさなどを最適化することができる。さらに、電源系の電圧波形の解析も可能となるため、電圧降下の解析を行うこともできる。

【0092】請求項2の発明においては、集積回路の動作に伴う電源系の電流波形と電流スペクトルの解析が可能となるため、集積回路の製造前に回路に付加すべきノイズレベルの評価を行うことができる。また、集積回路内部の電源系の電流経路や電流スペクトルを視覚的に把握することができるため、集積回路の製造前に容量や抵抗の配置や大きさなどをより効率良く最適化することができる。さらに、電源系の電圧波形の解析も可能となるため、電圧降下の解析を行うこともできる。

【0093】請求項3及び4の発明においては、指定したブロックのみが存在する場合の電流経路や電流スペクトルを視覚的に把握することができるので、より詳細なノイズ対策を行うことができる。

【0094】請求項5の発明においては、回路素子値を変更した場合の解析を容易に行うことができるので、ノイズ対策の効果の検証をさらに効率良く行うことができる。

【0095】請求項6の発明においては、ASICのようにブロックが存在しない集積回路についてもノイズ解析を行うことができる。

【0096】請求項7の発明においては、ブロックの電

源電流波形を迅速に求めることができる。

【0097】請求項8乃至請求項12の発明においては、集積回路内部における電流の状態を設計者が理解しやすい形式で表現することができるため、回路に付加すべき容量や抵抗の配置や大きさなどを検討する際に、問題箇所の把握が容易なものとなり、ノイズ対策を効果的に行うことができる。

【0098】請求項13の発明においては、集積回路における電気的特性を変化させることが可能となるため、集積回路の製造前に最もノイズの少ない素子値を決定することができる。また、製造後においても個々の回路におけるノイズ低減のための調整を行うことができる。

【0099】請求項14、15、17、18、19、20、21、22の発明においては、集積回路の容量値やインダクタンス値を制御することにより、回路の共振周波数を変化させることができるため、ノイズの原因となる共振を最小限に抑えることができる。

【0100】請求項16、18、19、20、23の発明においては、集積回路の抵抗値を制御することにより、共振のQを変化させることができるため、ノイズの原因となる回路のQを電源電圧降下が問題とならない範囲で下げることができる。

【0101】請求項24の発明においては、集積回路から検出したノイズに関する情報をもとに回路の電気的特性を制御するようにしたので、ノイズ低減を自動的に行うことができる。

【0102】以上のように、請求項1乃至請求項24の発明によれば、従来のようにノイズ対策の効果を調べるために集積回路の容量や抵抗の配置、大きさなどを変えながら実測を繰り返す手法に比べて、ノイズ低減に要する時間とコストを大幅に短縮することができるので、半導体装置のノイズ対策を効率良く行うことができる。

【図面の簡単な説明】

【図1】実施形態1に係わるノイズ解析装置の機能的な構成を示すブロック図。

【図2】レイアウトデータから電流源付加後電源系ネットリストを作成するまでの過程を示す説明図。

【図3】電源系ネットリストにパッケージやプリント基板の等価回路を付加した場合の例を示す回路図。

【図4】ASICのレイアウトデータを格子で区切ってブロックを定義した場合の例を示す説明図。

【図5】ブロック電源電流波形解析部の構成例を示すブロック図。

【図6】(a)は電流波形データ、(b)はフーリエ変換により得られた電流スペクトルデータを示す説明図。

【図7】実施形態1のノイズ解析装置によりノイズ解析を行う場合の処理手順を示すフローチャート。

【図8】電流スペクトルデータの表示例を示す説明図。

【図9】電流波形データから得た電流データの表示例を示す説明図。

【図10】(a)、(b)はレイアウトデータ上の所定位置において電流波形データと電流スペクトルデータを並べて表示した場合の表示例を示す説明図。

【図11】回路内で並行する配線に電流が同じ向きに流れている様子を示す説明図。

【図12】電圧データの表示例を示す説明図。

【図13】回路内で電流がループ状に流れている様子を示す説明図。

【図14】実施形態2に係わるノイズ解析装置の機能的な構成を示すブロック図。

【図15】電流源付加部が各電流源に与える電流波形を示す波形図。

【図16】実施形態3に係わるノイズ解析装置の機能的な構成を示すブロック図。

【図17】実施形態3のノイズ解析装置によりノイズ解析を行う場合の処理手順を示すフローチャート。

【図18】一般的な集積回路の等価回路を示す回路図。

【図19】実施形態4のノイズ低減機構を備えた集積回路の等価回路図。

【図20】容量値可変のキャパシタとその制御回路の具体的な回路構成図。

【図21】インダクタンス値可変のインダクタとその制御回路の具体的な回路構成図。

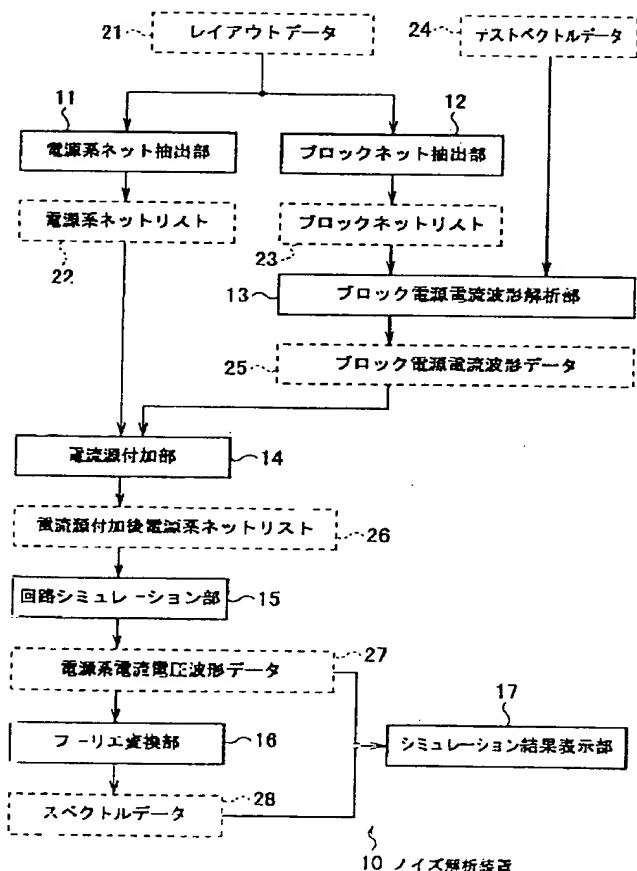
【図22】抵抗値可変の抵抗とその制御回路の具体的な回路構成図。

【図23】ノイズ検出機構を加えた等価回路を示す回路図。

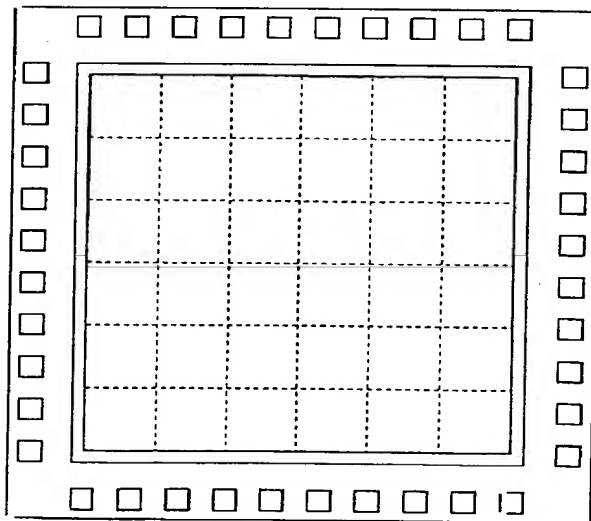
【符号の説明】

- 11 電源系ネット抽出部
- 12 ブロックネット抽出部
- 13 ブロック電源電流波形解析部
- 14 電流源付加部
- 15 回路シミュレーション部
- 16 フーリエ変換部
- 17 シミュレーション結果表示部
- 18 電源系電流電圧波形データ合成部
- 19 回路素子値変更部
- 141 インダクタンス値可変のインダクタ
- 143 容量値可変のキャパシタ
- 145 抵抗値可変の抵抗
- 1461 ノイズ検出部

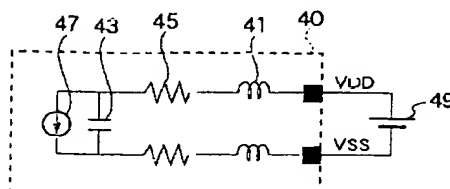
【図1】



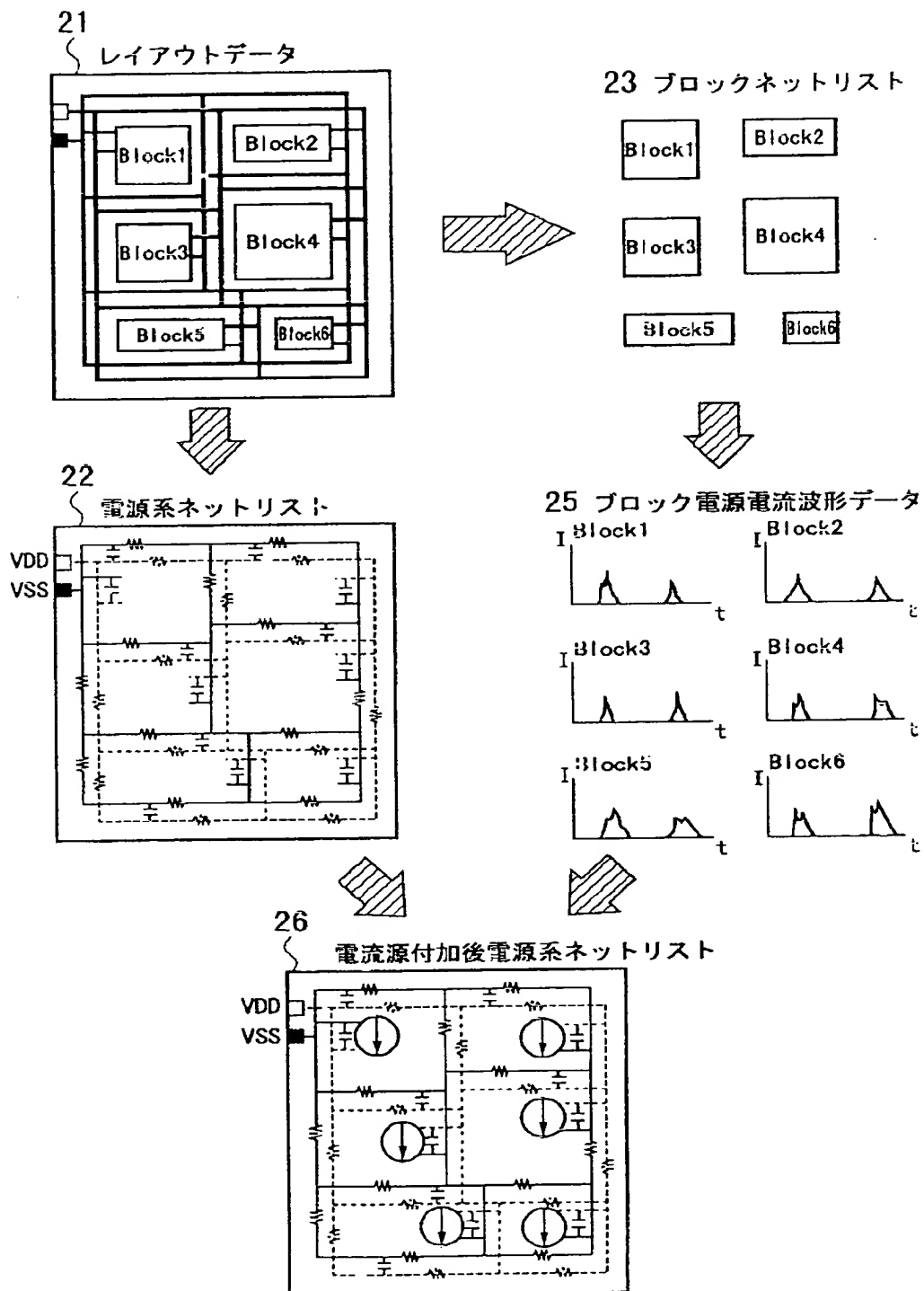
【図4】



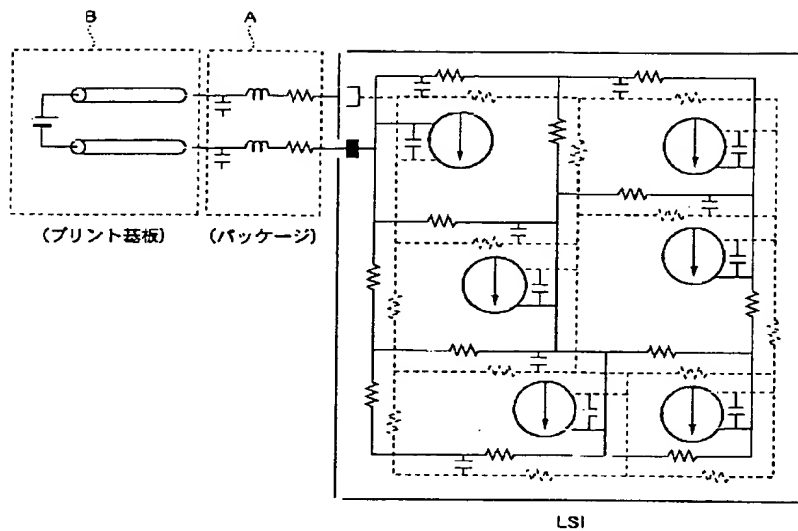
【図18】



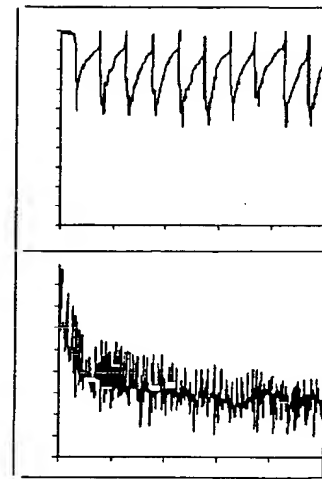
【図2】



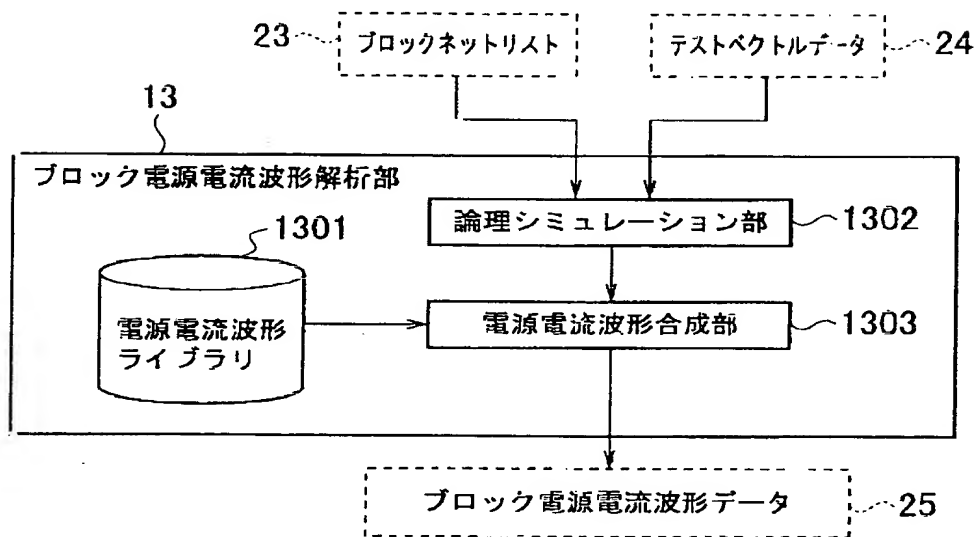
【図3】



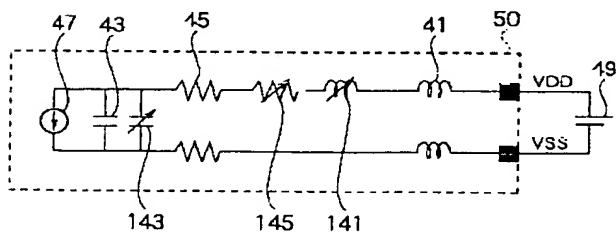
【図6】



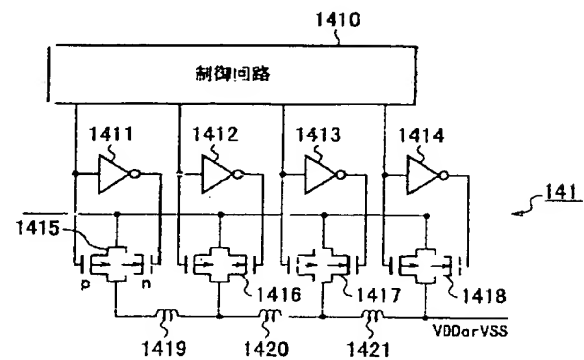
【図5】



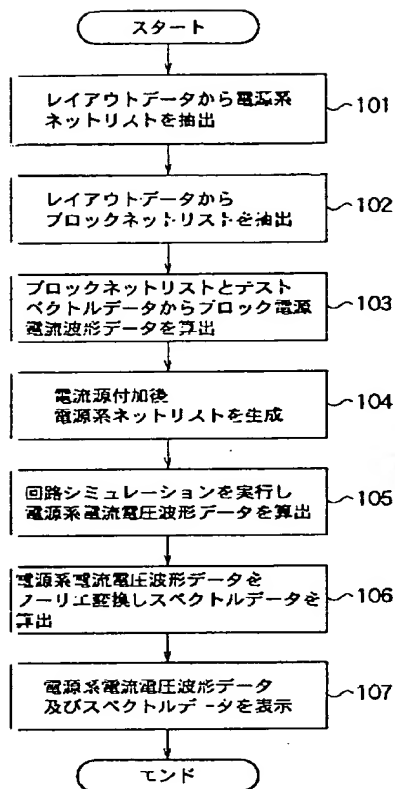
【図19】



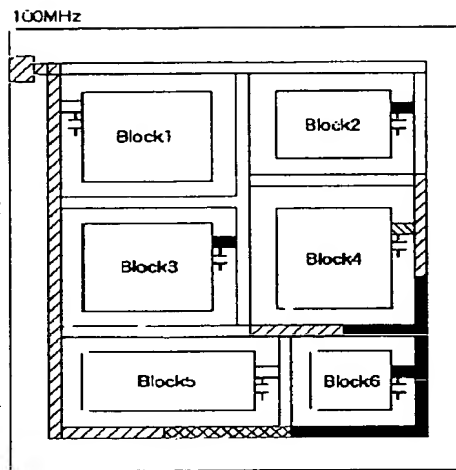
【図21】



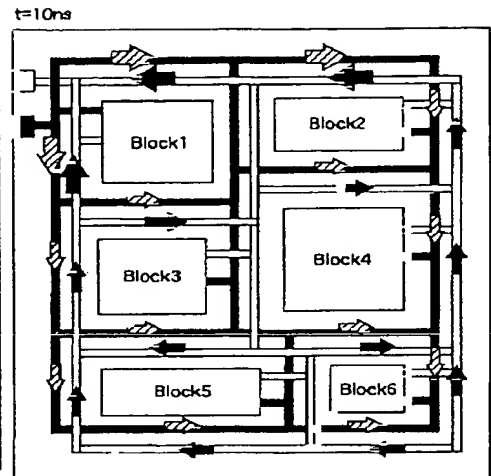
【図7】



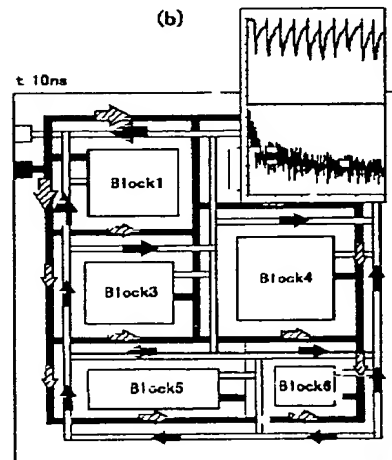
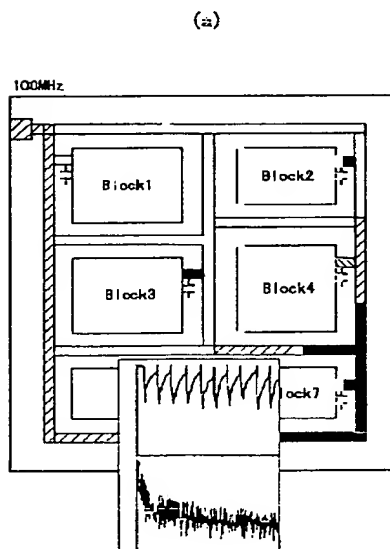
【図8】



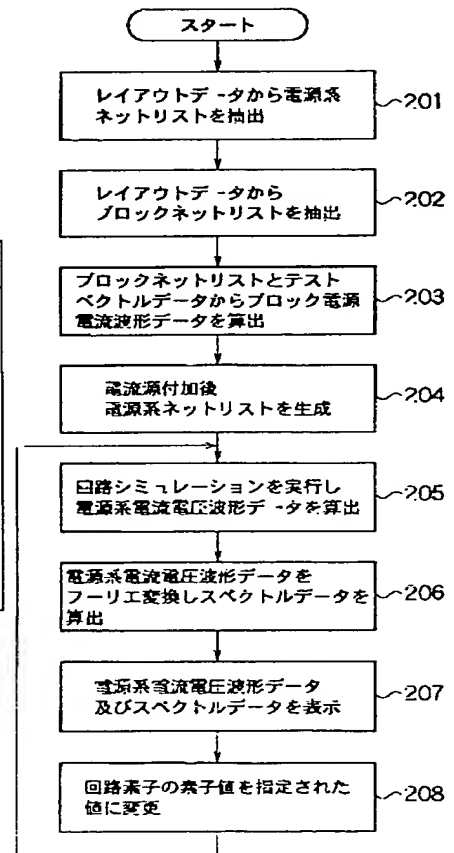
【図9】



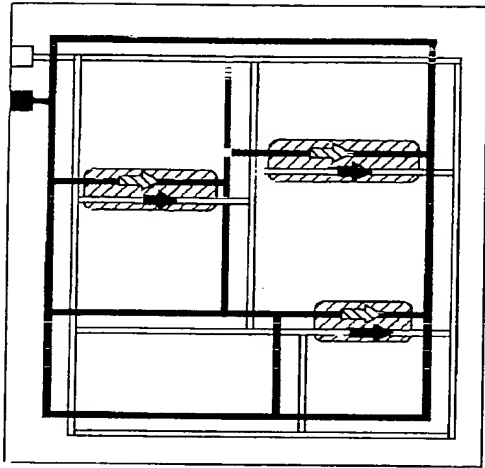
【図10】



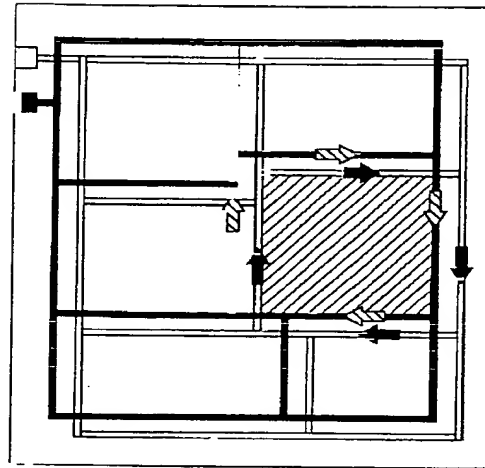
【図17】



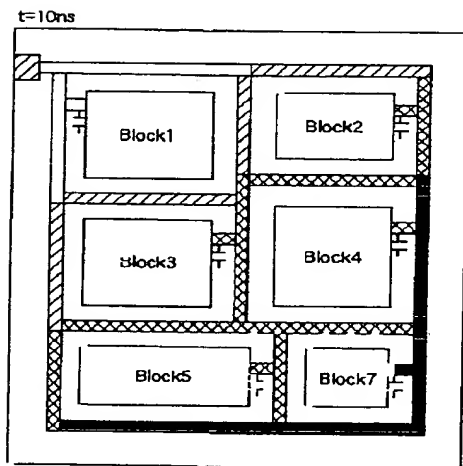
【図11】



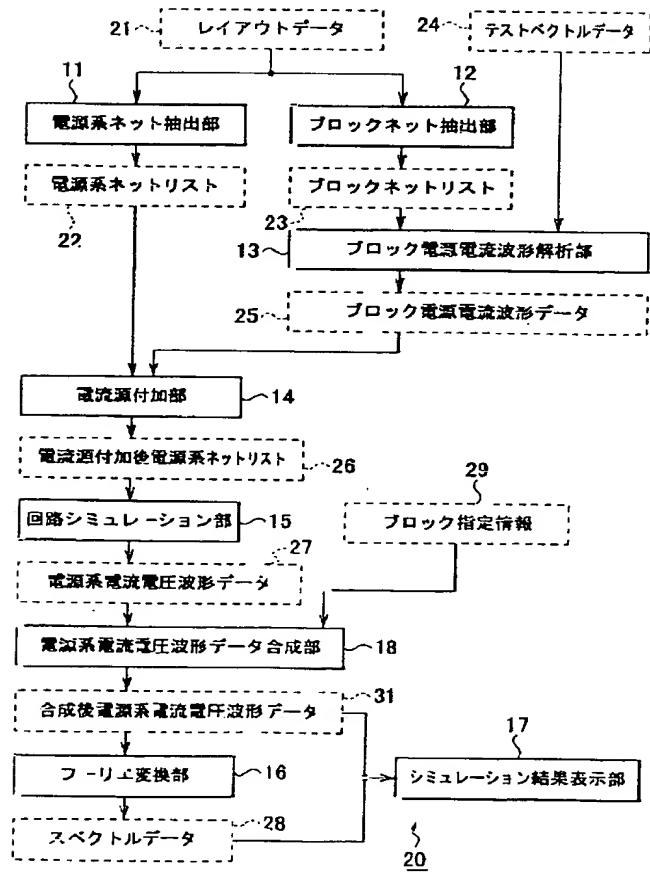
【図12】



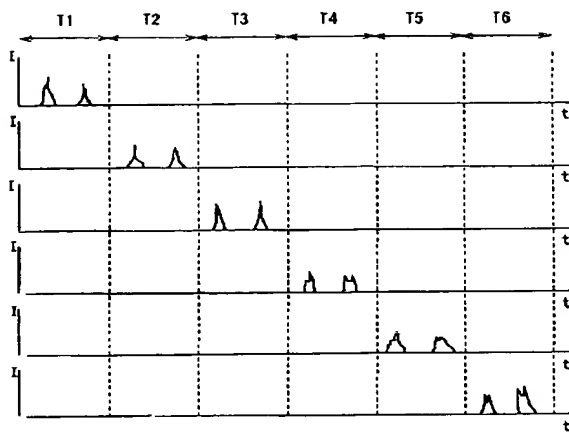
【図13】



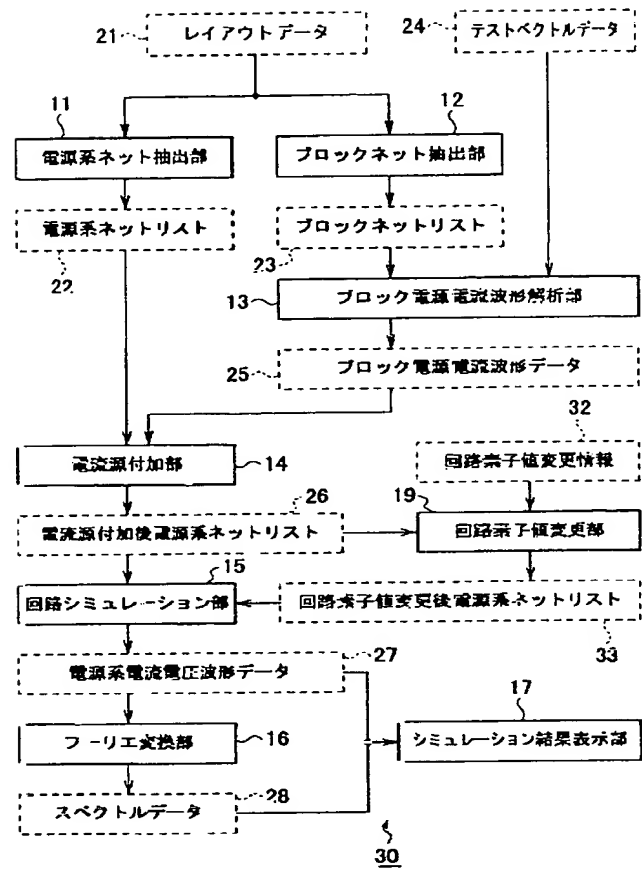
【図14】



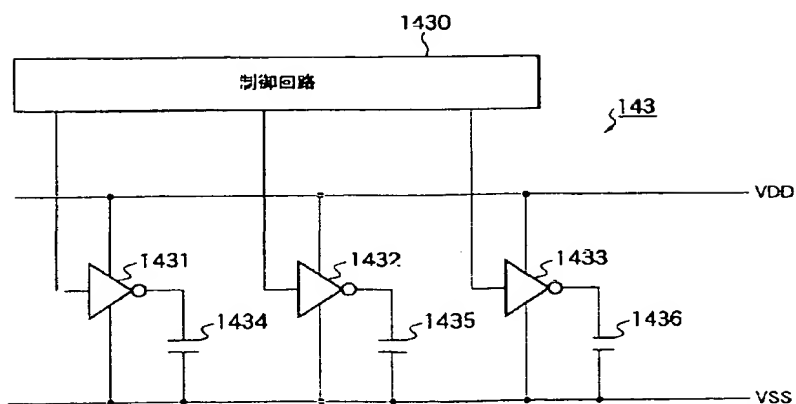
【図15】



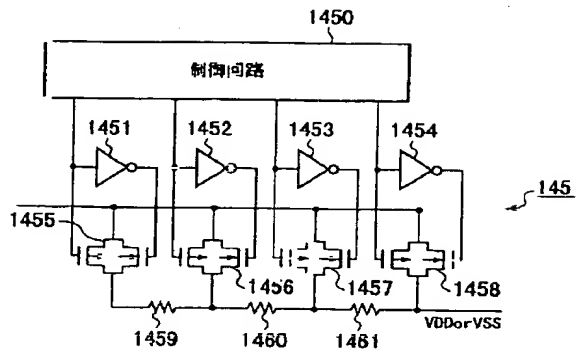
【図16】



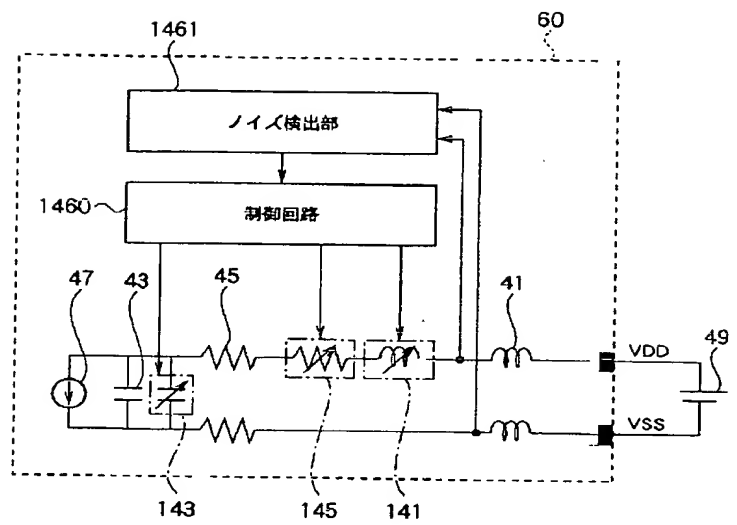
【図20】



【図22】



【図23】



THIS PAGE BLANK (USPTO)